

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-234765

(43)Date of publication of application : 30.09.1988

(51)Int.Cl.

H04N 1/04

H04N 1/40

(21)Application number : 62-069393

(71)Applicant : DAINIPPON SCREEN MFG CO LTD

(22)Date of filing : 24.03.1987

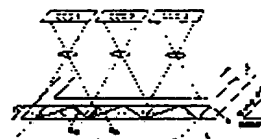
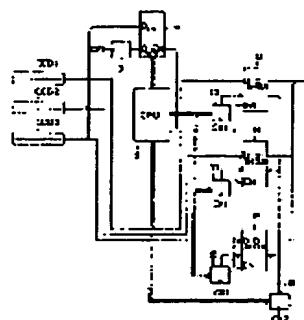
(72)Inventor : MITSUKI KUYOORI

**(54) METHOD AND DEVICE FOR CONNECTING-PROCESSING LINE IMAGE SENSOR**

**(57)Abstract:**

**PURPOSE:** To prevent the deterioration of the quality of a read image by correcting the number of a line corresponding to the extent of misalignment in a sub-scanning direction and connecting inputted image signals.

**CONSTITUTION:** CCDs 1 and 2 are arranged in a main scanning direction so that a part of read position on a scanning face 4 is overlapped at an adjacent area. On the face 4, a correction reference chart 6 consisting of a table 5 for setting an original picture and read patterns 6a and 6b for correcting is provided. The read signals of the chart 6 are written in a memory 8 for detecting the misalignment according to the address of a counter 7 by a CPU 9 and connected in the main scanning direction. The correction quantity of the misalignment in the sub-scanning direction is calculated and a value associated with the number of the line fitted for this correction quantity is loaded to counters 10 and 11. By the addresses of the counters 10 and 11, the respective output of the CCDs are written in image memories 13 and 15 and time difference in the connecting part accompanied with the misalignment in the sub-scanning direction is corrected. After that, the contents of the memories 13 and 15 are read according to the address of a counter 16.



## LEGAL STATUS

**[Date of request for examination]**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

**[Date of registration]**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭63-234765

① Int. Cl.<sup>4</sup>

H 04 N 1/04  
1/40

識別記号

1 0 3

庁内整理番号

A-8220-5C  
G-6940-5C

③ 公開 昭和63年(1988)9月30日

審査請求 未請求 発明の数 2 (全11頁)

⑥ 発明の名称 ラインイメージセンサのつなぎ合せ処理方法および装置

⑩ 特 願 昭62-69393

⑪ 出 願 昭62(1987)3月24日

⑦ 発 明 者 光 木 清 臣 京都府京都市上京区堀川通寺之内上る4丁目天神北町1番  
地の1 大日本スクリーン製造株式会社内  
⑧ 出 願 人 大日本スクリーン製造 京都府京都市上京区堀川通寺之内上る4丁目天神北町1番  
株式会社 地の1  
⑨ 代 理 人 弁理士 吉田 茂明 外2名

明 細 書

1. 発明の名称

ラインイメージセンサのつなぎ合せ処理方法および装置

2. 特許請求の範囲

(1) 主走査方向に配列した複数のラインイメージセンサにより画像情報を走査入力する際に、各ラインイメージセンサの読取り位置ずれを補正して入力画像信号をつなぎ合せ処理する方法であって、

走査面上において主走査座標に対し副走査座標が一意に決定しかつ1主走査線上の各ラインイメージセンサ対応部分とそれぞれ少なくとも2点で交わる補正用読取りパターンを予め準備し、この補正用読取りパターンを前記複数のラインイメージセンサで走査し読取ったときの各ラインイメージセンサの読取り画素アドレスから各ラインイメージセンサ相互間の副走査方向の位置ずれ量を求め、原画の走査時には各ラインイメージセンサからの入力画像信号を前記求めた副走査方向位置ず

れ量に相当するライン数だけラインイメージセンサ相互間で相対的に遅延させることにより入力画像信号をつなぎ合せ処理することとを特徴とするラインイメージセンサのつなぎ合せ処理方法。

(2) 補正用読取りパターンを複数のラインイメージセンサで走査し読取ったときの各ラインイメージセンサの読取り画素アドレスからさらに各ラインイメージセンサの角度ずれ量を走査ライン数単位で求め、原画の走査時には各ラインイメージセンサからの入力画像信号を  $A/n$  画素 (ただし  $A$  はラインイメージセンサの有効画素数、 $n$  は前記角度ずれライン数) ごとに順次1ラインずつ相対的に遅延させることにより角度ずれ補正を併せて行なう、特許請求の範囲第1項記載のラインイメージセンサのつなぎ合せ処理方法。

(3) 主走査方向に配列した複数のラインイメージセンサにより画像情報を走査入力する際に、各ラインイメージセンサの読取り位置ずれを補正して入力画像信号をつなぎ合せ処理する装置であって、

走査面上において主走査座標に対し副走査座標が一意に決定しかつ1主走査線上の各ラインイメージセンサ対応部分とそれぞれ少なくとも2点で交わる補正用読取りパターンと、

この補正用読取りパターンを前記複数のラインイメージセンサで走査し読取ったときの各ラインイメージセンサの読取り画素アドレスから各ラインイメージセンサ相互間の副走査方向の位置ずれ量を演算する手段と、

原画の走査時に各ラインイメージセンサからの入力画素信号を前記求めた副走査方向位置ずれ量に相当するライン数だけラインイメージセンサ相互間で相対的に遅延させることにより入力画素信号をつなぎ合せ処理する手段とを備えたことを特徴とするラインイメージセンサのつなぎ合せ処理装置。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

この発明は、主走査方向に配列した複数のラインイメージセンサにより画素情報を走査入力する

各ラインイメージセンサは通常、走査面上の読取り位置が境界部分において一部重なるように配列されるため、主走査方向の読取り位置ずれはある程度吸収可能でありそれ程問題とはならない。しかしながら、副走査方向の読取り位置ずれがあると、各ラインイメージセンサのつなぎ合せ部分で主走査方向に延びる補給を読取る場合には読取り画素の途切れが生じたりして、副走査方向にがたついたものとなり、画質が悪化する。

#### (発明の目的)

そこでこの発明の目的は、上記従来技術の問題点を解消し、主走査方向に配列された複数のラインイメージセンサにより画素情報を走査入力する際に、特に副走査方向の読取り位置ずれを簡単に構成にして容易に補正し、読取り画素の品質の低下を有効に防止することのできるラインイメージセンサのつなぎ合せ処理方法および装置を提供することである。

#### (目的を達成するための手段)

上記目的を達成するため、この発明によれば、

既に、各ラインイメージセンサの読取り位置ずれを補正して入力画素信号をつなぎ合せ処理する方法および装置に関する。

#### (従来の技術とその問題点)

設計図面や地図等の読取りのように大画素を高解像度で読取る必要がある場合や、商用印刷における電子製版の分野のように原画を極めて高解像度で読取ることが要求される場合などにおいて、複数のラインイメージセンサを主走査方向に配列し画素を主走査方向に分割して大画素数で読取ることが従来から行なわれている。この場合、各ラインイメージセンサは同一主走査線上の画素情報を読取る必要があることは言うまでもないが、複数のラインイメージセンサを全く同一の主走査線上を正確に読取るように厳密に位置合せすることは容易ではない。仮に製造時に完全な位置合せを行なったとしても、輸送にともなう振動や、経時変化、温度変化などに対してそれが狂わないように機械的精度を維持することはほとんど不可能である。

走査面上において主走査座標に対し副走査座標が一意に決定しかつ1主走査線上の各ラインイメージセンサ対応部分とそれぞれ少なくとも2点で交わる補正用読取りパターンを予め準備し、この補正用読取りパターンを前記複数のラインイメージセンサで走査し読取ったときの各ラインイメージセンサの読取り画素アドレスから各ラインイメージセンサ相互間の副走査方向の位置ずれ量を求め、原画の走査時には各ラインイメージセンサからの入力画素信号を前記求めた副走査方向位置ずれ量に相当するライン数だけラインイメージセンサ相互間で相対的に遅延させることにより入力画素信号をつなぎ合せ処理するようにしている。

すなわちこの発明では、補正用読取りパターンを走査し読取ることにより各ラインイメージセンサ相互間の副走査方向の位置ずれ量を求め、原画の走査時には各ラインイメージセンサからの入力画素信号を前記位置ずれ量に相当するライン数だけラインイメージセンサ相互間で相対的に遅延させることにより、前記位置ずれに起因して生じる

つなぎ合せ部分での情報読取りの時間差を補正しているものである。

(実施例)

第1図は、この発明によるラインイメージセンサのつなぎ合せ処理装置の一実施例を示すブロック図である。図において3個のラインイメージセンサ（以下CCD1～3という）が示されており、これらは第2図に示すように、走査面4上の読取り位置が隣接領域で一部重なるよう主走査方向に配列されている。走査面4上には原画セット用テーブル5の他、CCD1～3の出力番号を主および副走査方向についてそれぞれつなぎ合せ処理するのに用いるための補正用読取りパターン6aおよび6bから成る補正基準チャート6が設けられている。

第3図はCCD1～3の位置関係を補正基準チャート6上に対応させて例示するものであり、図示のようにCCD1～3は副走査方向の位置ずれおよび角度ずれを有している。CCD1～3による補正基準チャート6の読取り信号は、画込みク

CCD1、CCD2'、CCD3'（ただしダッシュ付きは副走査方向位置ずれ補正済みのものを意味する）により走査を行なったのと同等の、つなぎ合せ処理済みの画素信号が得られる。

次に第3図を参照して、主走査方向のつなぎ合せ処理および、副走査方向の位置ずれを補正するための補正量 $\Delta Y_1$ 、 $\Delta Y_2$ の演算処理を説明する。

まず主走査方向のつなぎ合せ処理は、副走査方向に延びる補正用読取りパターン6aを用いて、点 $P_1$ を読取ったCCD1の画素のアドレスと点 $P_2$ を読取ったCCD2の画素のアドレスを同じアドレスにしかつ、点 $P_3$ を読取ったCCD2の画素のアドレスと点 $P_4$ を読取ったCCD3の画素のアドレスを同じアドレスにすることにより行なわれる。このとき第4図に示すように、例えば点 $P_1$ を実際に読取ったCCD1の画素が $a_1 \sim a_{11}$ のように複数個存在すれば、その中央の画素 $a_6$ を点 $P_1$ の読取り画素として採用する。なお第4図において真鍮は2値データの黒レベルを表

ロックCK1に同期したアドレスカウンタ7の示すアドレスに従って、CPU9によりイネーブルされた位置ずれ検出用メモリ8に書込まれる。CPU9はそのデータに基づいて、主走査方向のつなぎ合せ処理を行なうとともに、副走査方向の位置ずれを補正するための補正量 $\Delta Y_1$ 、 $\Delta Y_2$ を演算して求める。これらの処理の詳細は後述するが、結果として得られた副走査方向位置ずれ補正量 $\Delta Y_1$ 、 $\Delta Y_2$ に相当するライン数に対応したカウント値がアドレスカウンタ10～12にロードされ、原画の走査時にはCCD1～3の読取り信号はそれぞれ、画込みクロックCK1に同期したアドレスカウンタ10～12の示すアドレスに従って画素メモリ13～15に書込まれる。これにより画素メモリ13～15上で、CCD1～3の副走査方向の位置ずれに起因して生じるつなぎ合せ部分での情報読取りの時間差を補正している。そして読出しクロックCK2に同期したアドレスカウンタ16の示すアドレスに従って画素メモリ13～15から画素信号を順次読出すことにより、

わしている。

次に副走査方向の位置ずれ補正量演算処理を説明する。第5図はこのときのCPU9の処理手順を示すフローチャートであり、まずステップS1では上述したように、CCD1～3による補正基準チャート6の読取り信号が位置ずれ検出用メモリ8へ書込まれる。ステップS2ではCPU9は、各CCD1～3による補正用読取りパターン6bの読取り画素（点 $P_5 \sim P_{10}$ に相当する黒レベルの画素）を検出し、続くステップS3では、第4図に示したのと同様にして、各1つの読取り画素アドレス $x_1 \sim x_6$ を確定する。

ステップS4では上記画素アドレス $x_1 \sim x_6$ を用いて、副走査方向補正量 $\Delta Y_1$ 、 $\Delta Y_2$ を次式により算出する。

$$\Delta Y_1 = \frac{2h}{A} \cdot \left\{ \frac{(A - x_2 - x_1)(A - x_1)}{x_2 - x_1} - \frac{(3A - x_4 - x_3)(A - x_3)}{x_4 - x_3} + (A + x_1 - x_3) \right\} \quad (1)$$

$$\Delta Y_2 = \frac{2h}{A} \cdot \left( \frac{(A-x_2-x_1)(A-x_1)}{x_2-x_1} + \frac{(3A-x_4-x_3)(A-x_3)}{x_4-x_3} - \frac{(5A-x_6-x_5)(2A-x_5)}{x_6-x_5} + (2A+x_1-x_5) \right) \quad (2)$$

ここでAは各CCD1~3の有効画素数、 $l$ は主走査方向有効長、 $h$ は補正基準チャート6の幅である。

上記(1)式の導出過程を以下に示す。第3図においてOを原点とする長さによるX-Y座標系を考えた場合、図中の $x_1$ 、 $x_2$ は画素アドレスであるので、これを原点OからのX方向の長さに換算して点 $P_5$ 、 $P_6$ のX座標 $X_5$ 、 $X_6$ を求める。いま主走査方向有効長が $l$ 、それに相当する有効画素数が $3A$ であるので、点 $P_5$ 、 $P_6$ のX座標 $X_5$ 、 $X_6$ は

$$X_5 = (l/3A) \cdot x_1 \quad (3)$$

$$Y = \frac{Y_6 - Y_5}{X_6 - X_5} (X - X_5) + Y_5 \quad (11)$$

この(11)式に $X = l/3$ を代入して点 $P_1$ のY座標 $Y_1$ を求める。

$$Y_1 = \frac{Y_6 - Y_5}{X_6 - X_5} \left( \frac{l}{3} - X_5 \right) + Y_5 \quad (12)$$

同様にして点 $P_2$ のY座標 $Y_2$ を求めると、

$$Y_2 = \frac{Y_8 - Y_7}{X_8 - X_7} \left( \frac{l}{3} - X_7 \right) + Y_7 \quad (13)$$

となる。補正量 $\Delta Y_1$ は

$$\Delta Y_1 = Y_1 - Y_2 \quad (14)$$

で表わされ、これに上記(12)。(13)式を代入し、さらに(3)~(10)式を用いれば上記(1)式が得られる。なお補正量 $\Delta Y_2$ を算出する(2)式の導出も上述と同様にして行なうことができる。

第5図のステップS5では、ステップS4で求めた補正量 $\Delta Y_1$ 、 $\Delta Y_2$ を走査面4上の走査ラインピッチ $D$ で割ることによりライン数に換算し、補正量 $\Delta Y_1$ 、 $\Delta Y_2$ に相当する補正ライン数 $\Delta$

$$X_6 = (l/3A) \cdot x_2 \quad (4)$$

となる。次に補正用読取りパターン6bは、主走査座標(X座標)に対し副走査座標(Y座標)が一意に決定するパターンであるため、X座標が確定すればY座標を確定できる。いま補正用読取りパターン6bは図示のように、 $l/6$ ごとに幅 $h$ 内で折れ曲りを繰り返す規則的パターンであって、上記 $X_5$ 、 $X_6$ に対応するY座標 $Y_5$ 、 $Y_6$ は次のように決定できる。

$$Y_5 = 2h x_1 / A \quad (5)$$

$$Y_6 = 2h (A - x_2) / A \quad (6)$$

同様にして点 $P_7$ 、 $P_8$ のX座標 $X_7$ 、 $X_8$ およびY座標 $Y_7$ 、 $Y_8$ を求めると次のようになる。

$$X_7 = (l/3A) \cdot x_3 \quad (7)$$

$$X_8 = (l/3A) \cdot x_4 \quad (8)$$

$$Y_7 = 2h (x_3 - A) / A \quad (9)$$

$$Y_8 = 2h (2A - x_4) / A \quad (10)$$

一方、2点 $P_5$ 、 $P_6$ を通る直線の式は次のとおりである。

LINE1、 $\Delta$ LINE2を求める。このとき例えば、 $D$ で割った余りが $D/2$ 以上の場合には切上げ、 $D/2$ 未満の場合には切下げとする。

次のステップS6では、CPU9は、補正ライン数 $\Delta$ LINE1、 $\Delta$ LINE2に対応したアドレスカウンタ値をアドレスカウンタ10~12にロードする。簡単のため画素メモリ13~15において1アドレスが1画素の画素データと対応するものとするれば、アドレスカウンタ10~12の各ロード値は次のようになる。

$$\text{アドレスカウンタ10} \cdots 0$$

$$\text{アドレスカウンタ11} \cdots A \times \Delta \text{LINE}_1$$

$$\text{アドレスカウンタ12} \cdots A \times \Delta \text{LINE}_2$$

ここでAは上述したように各CCD1~3の有効画素数である。なおアドレスカウンタ10のロード値は0である必要はなく、アドレスカウンタ11、12のロード値がアドレスカウンタ10のロード値に対し相対的にそれぞれ $A \times \Delta \text{LINE}_1$ および $A \times \Delta \text{LINE}_2$ の差を保てばよい。

第2図の画面セット用テーブル5にセットされ

た図示しない原画の走査時には、各CCD 1~3による読取り信号は、画込みクロックCK 1に同期したアドレスカウンタ10~12の示すアドレスに従って、CPU 9によりイネーブルされた各画像メモリ13~15にそれぞれ画込まれる。第6図はアドレスカウンタ10~12のロード値がそれぞれ“0”、“-2A”、“-5A”のときの画像メモリ13~15への画込みの様子を示す図であり、第3図の補正量 $\Delta Y_1$ に相当する $\Delta LINE_1$ が-2ライン、 $\Delta Y_2$ に相当する $\Delta LINE_2$ が-5ラインのときのものである。すなわちこのとき、CCD 1、CCD 2のつなぎ合せ部分において、CCD 2による読取り信号はCCD 1による同一点の読取り信号よりも2ライン遅く得られるため、これを一致させてライン合せするためにはCCD 1の1ライン目の読取り信号の後にCCD 2の3ライン目の読取り信号が読けばよい。またCCD 2、CCD 3のつなぎ合せ部分において、CCD 3による読取り信号はCCD 2による同一点の読取り信号よりも3ライン遅く得ら

れるため、これを一致させてライン合せするためにはCCD 2の1ライン目の読取り信号の後にCCD 3の4ライン目の読取り信号が読けばよい。アドレスカウンタ10~12のロード値“0”、“-2A”、“-5A”はこの操作を行なうためのものであり、このロード値に応じ図示のように画像メモリ13~15上でライン合せすなわち副走査方向のつなぎ合せ処理が行なわれる。

読出し時にはまずCPU 9からアドレスカウンタ16に最初に読出すべき画像信号のアドレスがロードされ、ついで読出しクロックCK 2に同期したアドレスカウンタ16の示すアドレスに従って画像メモリ13~15から順次、画像信号が読出される。例えばアドレスカウンタ16のカウント値1~3.Aに回答して、まずCCD 1の1ライン目の読取り信号、次にCCD 2の3ライン目の読取り信号、次にCCD 3の6ライン目の読取り信号が連続して読出される。

第7図は上述した副走査方向つなぎ合せ処理の結果の説明図であり、同図(a)は第3図と同様の

CCD 1~3の位置関係を図示したものである。いま第7図(b)に示すような主走査方向と平行な直線Lから成る原画をCCD 1~3により走査したとすると、副走査方向つなぎ合せ処理を行わない場合は、第7図(c)に示すようにつなぎ合せ部分で途切れた画像信号となる。一方、上述した副走査方向つなぎ合せ処理を行なうことにより、つなぎ合せ部分でのラインずれが補正されて、第7図(d)に示すような途切れのない画像信号が得られ画質が向上する。

補正量 $\Delta Y_1$ 、 $\Delta Y_2$ を補正ライン数 $\Delta LINE_1$ 、 $\Delta LINE_2$ に換算するとき、上述したように走査ラインピッチDで割った余りがD/2以上か未満かにより切上げ、切下げを行なっているので、つなぎ合せ部分では最大±1/2ラインの誤差が生ずる。この誤差はほとんど目立たないが、後に詳細に説明する第10図に示すように所定のつなぎ合せ区間で各画素の画像信号を比例配分的に徐々に混合させる加重平均方式を用いればさらに画質が改善される。

こうして得られた第7図(d)の画像は、実際にはLが数10 $\mu$ m、 $\Delta Y$ がせいぜい数10 $\mu$ m~数100 $\mu$ mのオーダーであるため、ほとんど一直線に見える。しかしながら、CCD 1~3の角度ずれによる画像の凹凸を修正してさらに良好な画像を得るため、つなぎ合せ処理後の画像信号をさらに第9図に示すような回路により処理してもよい。第9図において、つなぎ合せ処理後の画像信号は複数の直列接続されたラインメモリ群17に供給され、いずれかのラインメモリの出力信号またはラインメモリを通らない画像信号がセクタ18により切換えられて出力される。切換信号SはCPU 9から与えられ、第7図(e)はその切換信号Sの内容を示す。第7図(e)の1~6の番号に回答してセクタ18からは画像信号 $I_1 \sim I_6$ がそれぞれ出力される。切換信号Sの切換わりのタイミングは、CCD 1~3の有効画素数Aを各CCD 1~3の角度ずれライン数n（後に説明する第8図のKに相当するライン数）で割ることにより知ることができる。すなわちA/n画素ごとに

順次1ラインずつ相対的に画像信号を遅延させるのである。その結果、第7図(f)に示すような原画と同一の直線が得られる。このような処理を前述のつなぎ合せ処理後に行なうことにより、ラインメモリ群17として準備すべきメモリ容量を大幅に減少できる。

次にどの程度の角度ずれまで補正可能かを検討してみる。いまCCDの有効ピットを4500とすると、どんなにCCDが傾いても有効ピット4500を保たなければならない。第8図を参照して、CCDが斜めになって原画上の同一の走査点に対して4501ピット必要となるのは

$$K = \sqrt{4501^2 - 4500^2} \approx 94 \text{ (画素)}$$
のときであり、したがって1画素を $7\mu\text{m}$ として、機械的なCCDの組立精度は $658\mu\text{m}$ 以内でなければならない。実際には量子化誤差を考えると、この半分の $329\mu\text{m}$ ( $\approx 47$ )以下にすることが好ましい。すなわちCCDが斜めに位置ずれした場合、47ライン以内であれば比較的良好に補正を行なうことができる。

処理回路27で行う。

この実施例においては、第1図及び第6図に示す画像メモリ13~15はCCD1~3の全画素データを記憶させる。その画像データは第11図(c)、(d)に斜線で示すように重複部分が存在する。画像メモリ13~15に書き込む時、第11図(c)に示すようなタイミングで書き込み、読み出すときは第11図(d)に示すように、1のところでは必ず画像データが存在するようなタイミングで読み出し、第10図のラインメモリユニット20、21、22に出力する。

ラインメモリユニット20~22において、タイミングコントローラ26の出力 $S_1 \sim S_3$ によって、第11図(e)、(f)、(g)のタイミングで、電子的スイッチ24で切換えを行い、つなぎ合せ処理回路27に出力する。

つなぎ合せ処理回路27では、第11図(i)に斜線で示す区画内で、前記したいずれかのつなぎ合せ処理を行う。第11図(h)には、最も単純な一定の位置で切換つなぎ合せ処理を行った例を示

第10図は主走査方向つなぎ合せ処理の他の実施例図である。第11図はそのタイミングを示し、第11図(a)、(b)は、第7図(a)、(b)と同じである。先ずつなぎ合せ処理として、

(a) 重複して読み取られたつなぎ区画において、一方のアレイ出力を一定値から徐々に変化する電圧制御増幅器にかけ、他方のアレイ出力を零から一定値まで徐々に変化する電圧制御増幅器にかけ、それら各増幅器出力を加算させることによって各画素要素アレイ間における画情報のつなぎを行う方法、

(b) つなぎ区画内において乱数を生じさせ、その発生された乱数に応じて、各画素要素の信号の切換えを行う方法、

(c) つなぎ区画内において、濃度変化の小さい画素を検出し、各画素要素の切換えを行う方法、

(d) 又、最も単純には第3図及び第7図に説明したように重なっている区画内の一定の位置で、各画素要素の切換えを行ってつなぎ合せ処理を行なう方法、等が知られている。

これらつなぎ合せ処理のいずれかをつなぎ合せ

している。そして、つなぎ合せ処理回路27からは第11図(j)に示すような画像信号が出力される。

この実施例の利点は、第9図に示した実施例では最も単純な一定の位置での切換のみしか行えなかったものが、種々な切換手段(つなぎ合せ処理)が可能となることである。

さらに、メモリ13~15はCCD1~3の画素数の全容量を必要とするが(通常メモリは $2^n$ であることが多く、CCDの有効画素信号数も $2^n$ に合せてあることがあり、多くの場合メモリ13~15の容量アップにならない。)、ラインメモリ23a~23dの容量は第9図に示すラインメモリ1つのほぼ $1/3$ 程度でよいこと、ラインメモリの必要数は、第7図(d)と第11図(d)と比べてわかるように、ラインメモリ23a~23dの個数は1つ少く、一般的には、第8図で説明したKの数の3倍が必要であるのに対し1倍以内でよいこと等の利点が存在する。

又、第1図の実施例において、第2図以降第5



図で説明したのと同様の考察により、メモリ13～15へ書き込みのタイミング、読み出しのタイミング、及び第11図に示すメモリユニット20～22への書き込み読み出しのタイミングは、第1図の位置ずれ検出メモリ8、CPU9により求められる。

なお、第4図においては2値信号から、第3図に示す $P_1 \sim P_{10}$ を求めているが、CCD出力を階調ある信号としてとり出せば、第4図に示す $a_1 \sim a_{11}$ の値は大きさが有り、その大きさを判断すればより精密な位置情報を読み出せることになり、つなぎ位置も精度が上昇する。

又、上記実施例では補正基準チャート6の補正用読取りパターン8a、8bを線により構成したが、これを例えば異なった色の塗り分けによりその境界部分を検出するように構成することなども可能である。

また、単一のレンズを用いて既述図面を、副走査方向に意図的に複数走査線分だけ互い違いにずらして配置した複数個のラインイメージセンサに

投影し、早く走査するセンサからの信号を前記のずらした走査線分だけメモリにストアして遅延させおそく走査するセンサからの信号とタイミングを合わせる方法があるが、本発明はこの場合にも適用できることは明白である。

#### (発明の効果)

以上説明したように、この発明によれば、主走査方向に配列された複数のラインイメージセンサにより画像情報を走査入力する際に、特に副走査方向の読取り位置ずれを簡単な構成にして容易に補正し、読取り画像の品質の低下を有効に防止することができる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図はCCDの配列および補正基準チャートの説明図、第3図はCCDの補正基準チャート上の位置関係を示す説明図、第4図はCCDによる補正基準チャート読取り画像の説明図、第5図は副走査方向位置ずれ量演算処理の手順を示すフローチャート、第6図は画像メモリへの書き込みの様子

の説明図、第7図は副走査方向つなぎ合せ処理の説明図、第8図は補正範囲の説明図、第9図は角度ずれによる画像の凹凸を修正するための回路のブロック図、第10図は主走査方向のつなぎ合せ処理をも含めた角度ずれによる画像の凹凸を修正するための回路のブロック図、第11図は第10図の動作の説明図である。

6…補正基準チャート

6a、6b…補正用読取りパターン

8…位置ずれ検出用メモリ

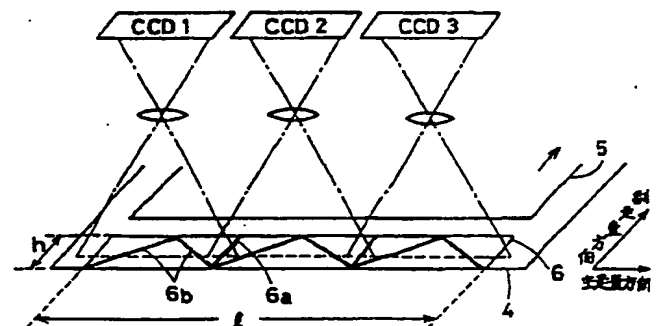
9…CPU

10～12、16…アドレスカウンタ

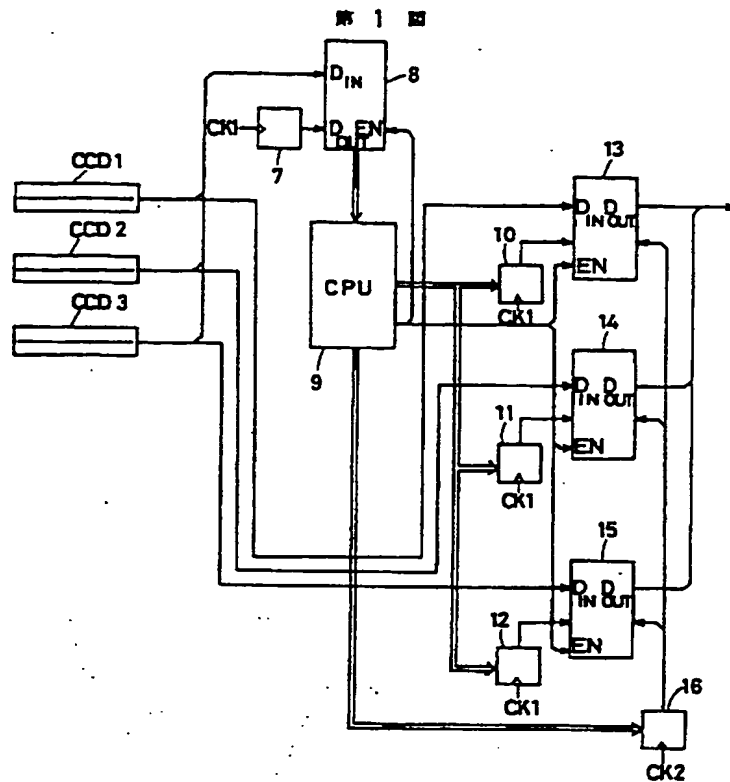
13～15画像メモリ

代理人 弁理士 古田茂明  
弁理士 古竹英俊  
弁理士 有田貴弘

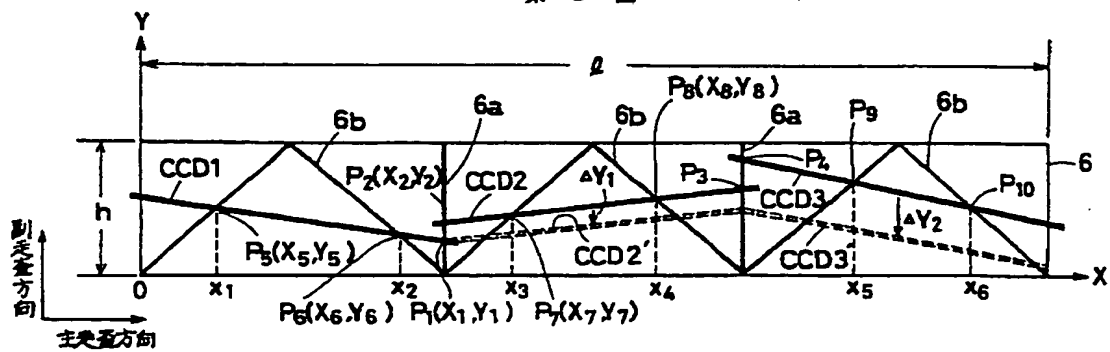
第2図



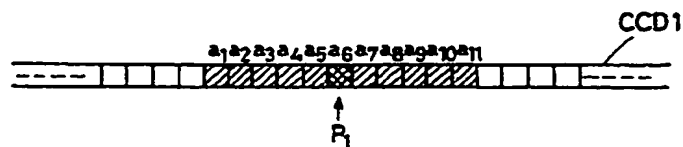
第 1 回



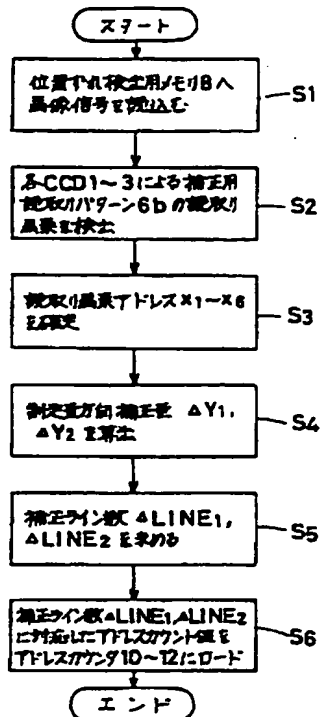
第 3 圖



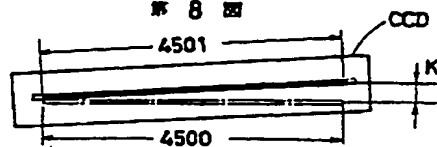
第 4 圖



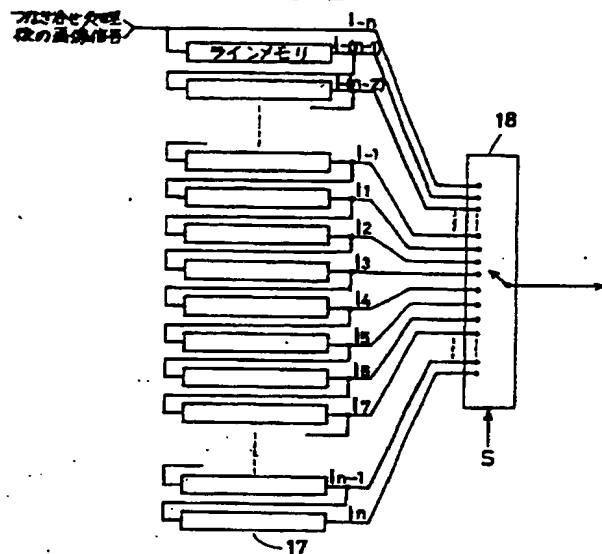
第 5 図



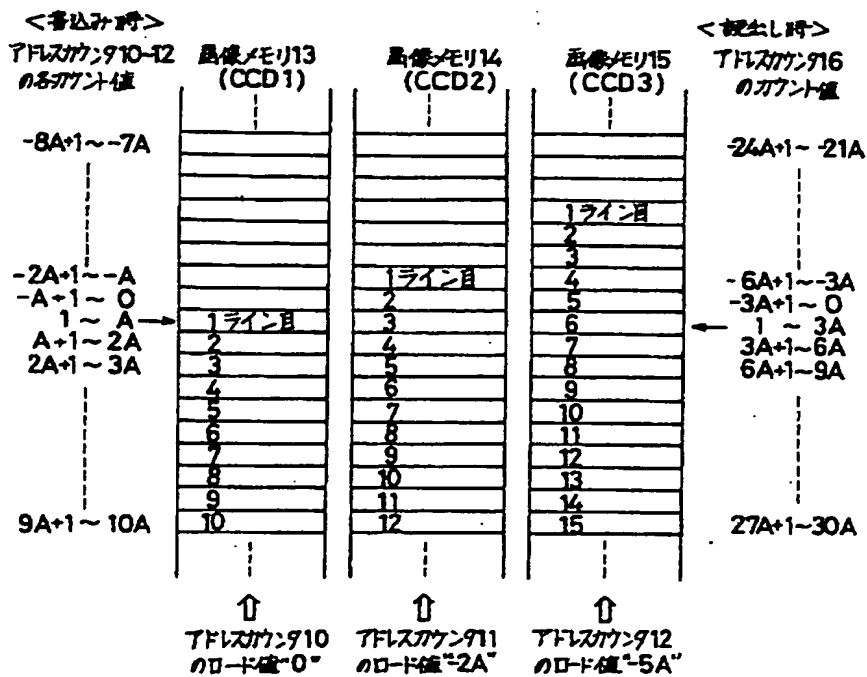
第 8 図

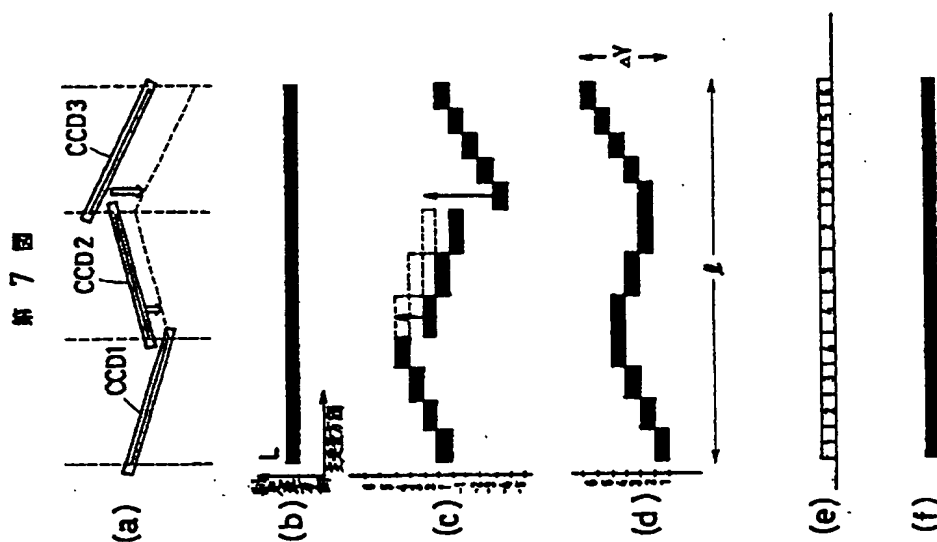


第 9 図



第 6 図





第 10 図

